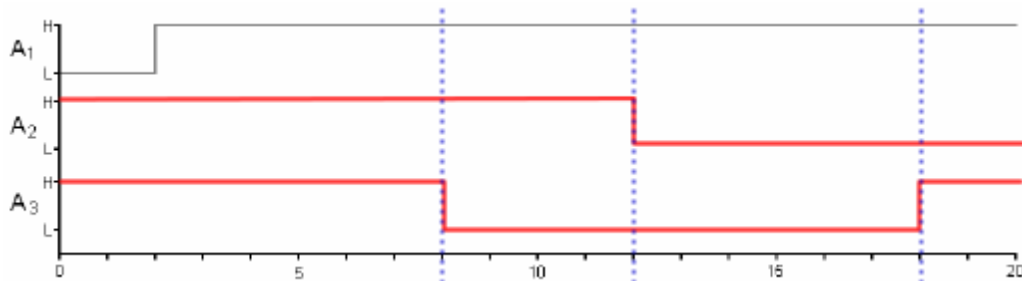


## 1 Gatterlaufzeit

Bei einer Gatterlaufzeit eines Inverters von  $2ns$  und eines EXOR-Gatters von  $6ns$  verhält sich die Spannung wie folgt:



## 2 Logikfunktion

Es wird in der Funktion ein dreifaches-AND von A,B,C realisiert, das aber nur arbeitet, wenn D 0 ist, anderenfalls wird durch den Tristate ein hochohmiger Zustand ausgegeben.

A	B	C	D	E	F	Y
0	0	0	0	1	1	0
1	0	0	0	1	1	0
0	1	0	0	1	1	0
1	1	0	0	1	1	0
0	0	1	0	1	1	0
1	0	1	0	1	1	0
0	1	1	0	1	1	0
1	1	1	0	0	1	1
0	0	0	1	1	0	X
1	0	0	1	1	0	X
0	1	0	1	1	0	X
1	1	0	1	1	0	X
0	0	1	1	1	0	X
1	0	1	1	1	0	X
0	1	1	1	1	0	X
1	1	1	1	0	0	X

## 3 Fehlersuche

Bei der abgebildeten Schaltung liegt der Fehler in dem Logikglied NOR, hier wird ein OR realisiert, d.h. es ist eine Negation zu viel bzw. zu wenig implementiert.

**4 CMOS-Logik**

$x_0$	$x_1$	A	B	C	D	E	F	G	H	Y
0	0	0	1	0	1	1	0	0	1	0
0	1	0	1	1	1	0	0	1	0	1
1	0	1	0	0	1	1	0	0	1	0
1	1	1	0	1	0	1	1	0	0	1

Die allgemeine Funktionsgleichung lautet

$$f = (\neg x_0 \wedge x_1) \vee (x_0 \wedge x_1)$$

$$f = x_1 \vee (\neg x_0 \wedge x_0)$$

$$f = x_1 \vee 0$$

$$f = x_1$$

Die Schaltung liefert die Identitätsfunktion von  $x_1$ .